

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/017684

International filing date: 29 November 2004 (29.11.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2003-423963
Filing date: 22 December 2003 (22.12.2003)

Date of receipt at the International Bureau: 27 January 2005 (27.01.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

29.11.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 2 2 日
Date of Application:

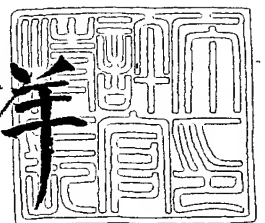
出 願 番 号 特 願 2 0 0 3 - 4 2 3 9 6 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 4 2 3 9 6 3]

出 願 人 株式会社河合楽器製作所
Applicant(s):

2 0 0 5 年 1 月 1 4 日

特許庁長官
Commissioner,
Japan Patent Office

小 川 洋



【書類名】 特許願
【整理番号】 KW15319
【提出日】 平成15年12月22日
【あて先】 特許庁長官殿
【国際特許分類】 G10H 1/00
【発明者】
 【住所又は居所】 静岡県浜松市寺島町 2 0 0 番地 株式会社河合楽器製作所内
 【氏名】 平野 哲也
【特許出願人】
 【識別番号】 000001410
 【氏名又は名称】 株式会社河合楽器製作所
【代理人】
 【識別番号】 100086863
 【弁理士】
 【氏名又は名称】 佐藤 英世
【手数料の表示】
 【予納台帳番号】 061528
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲

【請求項 1】

装置全体の制御を行う CPU と、予め定められた演算処理を行う DSP と、該 DSP によりアクセスされ、且つ該 DSP 経由で CPU からのアクセスが可能な外部メモリとを少なくとも有する信号処理装置において、

該 DSP 自身は、少なくとも 2 回以上のバスサイクルを 1 データアクセスの単位とし、1 データアクセス単位中に使用するバスサイクル数を選択できると共に、外部メモリにアクセスするデータ長を変更できる構成であり、さらに、

DSP から外部メモリへのアクセスの有無を判断する手段と、

上記判断手段からの信号の有無に応じて、CPU から外部メモリへのアクセスの可否を制御する手段と、

制御手段の指令により外部メモリのアドレスやデータを切り替えて入出力する手段とを該 DSP 内に備えており、

最大バスサイクル数でアクセスするようにデータ長が選択されている場合、上記判断手段により DSP から外部メモリへのアクセスがあると判断されている時には、制御手段により CPU から外部メモリへのアクセスにウェイトをかけ、又最大バスサイクル数でアクセスするようにデータ長が選択されていない場合は、空いているバスサイクルを利用して制御手段により CPU が外部メモリにアクセスできるようにしたことを特徴とする信号処理装置。

【請求項 2】

装置全体の制御を行う CPU と、楽音信号を供給する音源と、予め定められた演算処理を行うことで、音源から供給される楽音信号に任意のエフェクトを付加する DSP と、該 DSP によりアクセスされ、且つ該 DSP 経由で CPU からのアクセスが可能な外部メモリとを少なくとも有する信号処理装置において、

該 DSP 自身は、楽音信号の信号処理につき、少なくとも 2 回以上のバスサイクルを 1 データアクセスの単位とし、1 データアクセス単位中に使用するバスサイクル数を選択できると共に、外部メモリにアクセスするデータ長を変更できる構成であり、さらに、

DSP から外部メモリへのアクセスの有無を判断する手段と、

上記判断手段からの信号の有無に応じて、CPU から外部メモリへのアクセスの可否を制御する手段と、

制御手段の指令により外部メモリのアドレスやデータを切り替えて入出力する手段とを該 DSP 内に備えており、

最大バスサイクル数でアクセスするようにデータ長が選択されている場合、上記判断手段により DSP から外部メモリへのアクセスがあると判断されている時には、制御手段により CPU から外部メモリへのアクセスにウェイトをかけ、又最大バスサイクル数でアクセスするようにデータ長が選択されていない場合は、空いているバスサイクルを利用して制御手段により CPU が外部メモリにアクセスできるようにしたことを特徴とする信号処理装置。

【書類名】明細書

【発明の名称】信号処理装置

【技術分野】

【0001】

本発明は、DSPの遅延データアクセスの合間に、CPUがその外部メモリにアクセスすることが可能な信号処理装置に関する。

【背景技術】

【0002】

電子楽器等の音源から出力される楽音にエフェクトをかけるために、その信号処理を行うDSPは外部メモリを備えていて、遅延処理用などに使用する。

【0003】

他方電子楽器内に備えられたCPUは、システムバス上のRAMなどを使用することが普通であるが、場合により、DSP経由で該DSP用の外部メモリにアクセスする機能を持つものがある。

【0004】

そのようなシステムで、CPUのアクセスとDSPのアクセスがぶつかる場合、DSPの演算はプログラムによって演算タイミングが決まっているため、これを優先し、DSPが外部メモリにアクセスするタイミングでは、CPUのアクセスにウェイトを入れる方法がある（後述する特許文献1参照）。CPUのアクセスを後回しにすることで、DSPに外部メモリアクセスのタイミングを無駄なく与えることができるようになる。

【0005】

また別の方法として、CPUとDSPのアクセスを時分割で行う方法もある。こちらは、上記方法に比べDSPのアクセスできる回数を若干減らすことになるが、CPUがアクセスできる回数がより多く与えられることになる。

【特許文献1】特許第2850707号

【発明の開示】

【発明が解決しようとする課題】

【0006】

ここで、DSPが扱うワードの単位とバスサイクルの関係につき、言及する。DSPでは、システムのバス構成とCPUによって、遅延処理用に用いる上記外部メモリへ、8ビットデータバスでアクセスするものが多い。

【0007】

そしてDSPのデータ処理単位である1ワードは、16ビットと24ビットがあり、これらのビット単位を各1ワードとし、通常は16ビット（16ビットモード）で、精度の高い処理を行う場合は24ビット（24ビットモード）に切り替えて使用するものがある。

【0008】

そのような構成では、3回のアクセスサイクル（バスサイクル）を1まとまりとして、16ビットモードの場合はその中の2回のアクセスサイクルを、24ビットモードの場合は3回のアクセスサイクルを利用する。

【0009】

他方、CPUのアクセスするデータ長はDSPのデータ長に縛られないため、メモリのデータバス幅をデータ長としてアクセスを繰り返せば良い。この場合8ビットを1ワード（1バイト）としてアクセスすれば良いことになる。

【0010】

以上のことが前提とされた場合、DSPのアクセスするデータ長が可変の構成においては、上記従来構成のどちらを採用した場合でも不都合が生じてしまう。

【0011】

たとえば、CPUのアクセスにウェイトを入れる方法を採用した場合、24ビットモードには適しているが、16ビットモードでは1データアクセス単位（3バスサイクル）の

うちバスサイクルが常に1つあまり、貴重なバスサイクルに無駄が生じる。

【0012】

また、CPUとDSPのアクセスを時分割で行う方法を採用した場合、16ビットモードには適しているが、24ビットモードではCPUの固定タイミングが全くなくなってしまうことになる。

【0013】

本発明は、以上のような問題に鑑み創案されたもので、データ長可変のDSPにおいて、そのデータアクセスの合間に、CPUがその外部メモリにアクセスできる信号処理装置を提供せんとするものである。

【課題を解決するための手段】

【0014】

そのため本発明に係る構成は、

装置全体の制御を行うCPUと、予め定められた演算処理を行うDSPと、該DSPによりアクセスされ、且つ該DSP経由でCPUからのアクセスが可能な外部メモリとを少なくとも有する信号処理装置において、

該DSP自身は、少なくとも2回以上のバスサイクルを1データアクセスの単位とし、1データアクセス単位中に使用するバスサイクル数を選択できると共に、外部メモリにアクセスするデータ長を変更できる構成であり、さらに、

DSPから外部メモリへのアクセスの有無を判断する手段と、

上記判断手段からの信号の有無に応じて、CPUから外部メモリへのアクセスの可否を制御する手段と、

制御手段の指令により外部メモリのアドレスやデータを切り替えて入出力する手段とを該DSP内に備えており、

最大バスサイクル数でアクセスするようにデータ長が選択されている場合、上記判断手段によりDSPから外部メモリへのアクセスがあると判断されている時には、制御手段によりCPUから外部メモリへのアクセスにウェイトをかけ、又最大バスサイクル数でアクセスするようにデータ長が選択されていない場合は、空いているバスサイクルを利用して制御手段によりCPUが外部メモリにアクセスできるようにしたことを基本的特徴としている。

【0015】

上記構成によれば、最大バスサイクル数（例えば3バスサイクル数）でアクセスするようにデータ長が選択されている場合（例えば1ワード＝24ビットモードの場合）、上記判断手段によりDSPから外部メモリへのアクセスがあると判断されている時には、制御手段によりCPUから外部メモリへのアクセスにウェイトをかけ、又最大バスサイクル数でアクセスするようにデータ長が選択されていない場合（例えば1ワード＝16ビットモードの場合）は、空いているバスサイクルを利用して制御手段によりCPUが外部メモリにアクセスできるようにしているので、空きのバスサイクルがある時には、バスサイクルを固定し（すなわち、16ビットモードなどでその空きバスサイクル時にCPUが外部メモリにアクセスできるように該バスサイクルをCPUアクセス用に固定し）、空きのバスサイクルがない場合は、DSP優先のアクセス方法（すなわち、24ビットモードなどでその空きバスサイクルがない場合、基本的にはDSPのアクセス用に使用し、DSPのアクセスが無い場合にのみ、CPUの外部メモリアクセスができるような構成）に切り替えることができるようになる。

【0016】

請求項2の構成は、音源を有して楽音を発生できる電子楽器などに備えられる信号処理装置に適用したものであって、より具体的な構成としては、

装置全体の制御を行うCPUと、楽音信号を供給する音源と、予め定められた演算処理を行うことで、音源から供給される楽音信号に任意のエフェクトを付加するDSPと、該DSPによりアクセスされ、且つ該DSP経由でCPUからのアクセスが可能な外部メモリとを少なくとも有する信号処理装置において、

該DSP自身は、楽音信号の信号処理につき、少なくとも2回以上のバスサイクルを1データアクセスの単位とし、1データアクセス単位中に使用するバスサイクル数を選択できると共に、外部メモリにアクセスするデータ長を変更できる構成であり、さらに、

DSPから外部メモリへのアクセスの有無を判断する手段と、

上記判断手段からの信号の有無に応じて、CPUから外部メモリへのアクセスの可否を制御する手段と、

制御手段の指令により外部メモリのアドレスやデータを切り替えて入出力する手段とを該DSP内に備えており、

最大バスサイクル数でアクセスするようにデータ長が選択されている場合、上記判断手段によりDSPから外部メモリへのアクセスがあると判断されている時には、制御手段によりCPUから外部メモリへのアクセスにウェイトをかけ、又最大バスサイクル数でアクセスするようにデータ長が選択されていない場合は、空いているバスサイクルを利用して制御手段によりCPUが外部メモリにアクセスできるようにしたことを特徴としている。

【発明の効果】

【0017】

本発明の請求項1及び請求項2記載の信号処理装置によれば、DSPのアクセスするデータ長が可変の構成において、DSPのデータアクセスの合間に、CPUがその外部メモリにアクセスできるようになり、そのため、DSPのアクセスを邪魔することなく、CPUにとってもっともアクセス回数が多くなるように動作させることができるようになるという優れた効果を奏し得る。

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施の形態を図示例と共に説明する。

図1は、本発明に係る信号処理装置の構成が用いられた電子鍵盤楽器の回路概略図である。

【0019】

本電子鍵盤楽器では、後述するように、遅延処理用に用いられる外部メモリ102を使用してDSP1により、音源100から出力される楽音データにエフェクト処理が行われるようになっている。該DSP1では、そのデータ処理単位である1ワードは、16ビット単位の16ビットモードと24ビット単位の24ビットモードとがあり、通常は16ビットモードが用いられるが、後述する操作パネル114のパネル設定により、精度の高い処理を行う場合は24ビットモードに切り替えて使用することが可能である。

【0020】

本実施例構成の場合、3回のバスサイクル（8ビット）を1まとまりとして、16ビットモードの場合はその中の2回のバスサイクルを、24ビットモードの場合は3回のバスサイクルを利用する。

【0021】

他方本電子鍵盤楽器全体を制御する後述のCPU111は、RAM113へのアクセスの他、DSP1を介して、該DSP1の使用外部メモリ102にアクセスできるようになっている。その場合該CPU111がアクセスするデータ長は、DSP1のデータ長に縛られないため、メモリのデータバス幅（8ビット＝1ワード）をデータ長としてアクセスする。

【0022】

本電子鍵盤楽器は、図1に示すように、システムバス110を介して、CPU111、ROM112、RAM113、パネルスキャン回路114a、鍵盤スキャン回路115a、音源100及びエフェクト処理用DSP1が相互に接続されて構成されている。システムバス110は、アドレス信号、データ信号又は制御信号等を送受するために使用される。

【0023】

CPU111は、ROM112に記憶されている制御プログラムに従って動作することにより本電子鍵盤楽器の全体を制御する。

【0024】

上記ROM112は、上述した制御プログラムの他に、CPU111が参照する種々のデータを記憶する。

【0025】

上記RAM113は、CPU111が各種処理を実行する際に、種々のデータを一時記憶するために使用される。このRAM113には、レジスタ、カウンタ、フラグ等が定義されている。このうちの主なものについて説明する。

【0026】

(a) 音色設定フラグ：後述する操作パネル114の設定により、音源100から発生させる音色をどのチャンネルから発生させるかを示すためのデータを記憶する。

【0027】

(b) エフェクト設定フラグ：複数種類の選択可能なエフェクトから、音色設定により自動的にその音色に設定されるべきフラグが選択され、その設定データを記憶する。

【0028】

(c) 24ビットモード設定フラグ：後述する操作パネル114が操作されることにより、DSP1のデータ処理単位である1ワードを24ビットに設定した場合に、その設定データを記憶する（1：24ビットモード、0：16ビットモード）。

【0029】

パネルスキャン回路114aには、操作パネル114が接続されている。操作パネル114には、例えば演奏で使用する音色の設定や、出力される楽音に任意のエフェクトの付加を設定できるパネルスイッチなどがある。その場合は、該操作パネル114の音色選択により音色設定フラグの設定がなされ、その音色の出力の際付加すべきエフェクトが自動的に選択され、上記エフェクト設定フラグが設定される。

【0030】

また、このエフェクト処理用DSP1の処理を24ビット単位で行う24ビットモード設定用スイッチが操作パネル114上にあり、該モードに設定された場合は、上記24ビットモード設定フラグが立つことになる。その設定がない場合、DSP1の処理は16ビット単位で行われることになる。尚、図示は省略するが、各スイッチの設定状態を表示するLED表示器、種々のメッセージを表示するLCD等が設けられている。

【0031】

上記パネルスキャン回路114aは、CPU111からの指令に应答して操作パネル114上の各スイッチをスキャンし、このスキャンにより得られた各スイッチの開閉状態を示す信号に基づいて、各スイッチを1ビットに対応させたパネルデータを作成する。各ビットは、例えば「1」でスイッチオン状態、「0」でスイッチオフ状態を表す。このパネルデータは、システムバス110を介してCPU111に送られる。このパネルデータは、操作パネル114上のスイッチのオンイベント又はオフイベントが発生したかどうかを判断するために使用される。

【0032】

また、パネルスキャン回路114aは、CPU111から送られてきた表示データを操作パネル114上のLED表示器及びLCDに送る。これにより、CPU111から送られてきたデータに従って、LED表示器が点灯／消灯され、またLCDにメッセージが表示される。

【0033】

上記鍵盤スキャン回路115aには、鍵盤115で生成される押鍵データを検出する。すなわち、これらの鍵盤115には、夫々2点スイッチが設けられており、任意の鍵盤115が所定以上の深さまで押し下げられたことを検出すると、その鍵盤の音高データ（キーンンバ）の押鍵信号を生成すると共に、2点スイッチ間を通過する速度からベロシティを生成し、それらを押鍵データとして、鍵盤スキャン回路115aに送る。2点スイッチ

としては、鍵が所定以上の深さまで押し下げられたことを検出できる光センサ、圧力センサ、その他のセンサを使用できる。鍵盤スキャン回路 1 1 5 a は、2 点スイッチからの押鍵データを受け取ると、それを CPU 1 1 1 に送る。

【0034】

鍵盤スキャン回路 1 1 5 a からの押鍵データは、CPU 1 1 1 により、RAM 1 1 3 上の音色設定フラグが参照され、夫々のチャンネルに対応する音源 1 0 0 に送られることになる。その際、同じく該 CPU 1 1 1 により、エフェクト設定フラグ及び 2 4 ビットモード設定フラグも参照され、必要なエフェクト効果のための指令、及び該エフェクト付加処理を行う DSP の処理単位（1 ワード）を 2 4 ビットで行うか 1 6 ビットで行うかの指令（2 4 ビットモード設定か否かの指令）が、DSP 1 に送られることになる。

【0035】

音源 1 0 0 は、波形メモリ 1 0 1 を使用し、それに対しメモリアクセスを行う。すなわち、該波形メモリ 1 0 1 に対して、読み出しアドレスを発生し、原データを読み出す。読み出された原データの補間処理を行った後、同じく同回路で生成された音色毎のエンベロープを乗算し、夫々の音色の波形データを設定されたチャンネル分累算して、外部に波形データとして出力する、通常の音源構成を有している。

【0036】

DSP 1 は、図 2 に示される後述の本発明の一実施例構成を有する他、その内部は、DSP 演算部 1 4、命令 RAM 1 5 及びデコーダ 1 6 等の通常の構成を有しており、CPU 1 1 1 からの指令を受けて、音源 1 0 0 から受けた楽音データに、必要なエフェクトを付加し、D/A 変換回路 1 1 6 側に出力する。

【0037】

該 CPU 1 1 1 から受け取る指令は、該 CPU 1 1 1 によって参照されたエフェクト設定フラグ及び 2 4 ビットモードフラグによるものとなる。すなわち、操作パネル 1 1 4 のパネルスキャン時に、該 CPU 1 1 1 により、選択された音色に対応するエフェクトを表しているエフェクト設定フラグが参照され、出力される楽音にどのようなエフェクトがかけられるかを指示する指令が、DSP 1 に対して用意される。また演奏者のパネルスイッチ操作で設定された 2 4 ビットモードフラグも参照され、そのフラグが設定されている場合は、DSP 1 の 1 ワードが 1 6 ビットから 2 4 ビット単位に変更される。

【0038】

該 DSP 1 では、上述のように、デジタル遅延データ保存用に、外部メモリ 1 0 2 が使用される。その際 1 6 ビットモード時には、3 バスサイクルのうち、1 バスサイクルが空いているため、固定的に CPU 1 1 1 の外部メモリ 1 0 2 へのアクセスができるようになる。他方 2 4 ビットモード時には、DSP 1 が処理を行っている間は、通常 3 バスサイクルに空きがないため、CPU 1 1 1 の外部メモリ 1 0 2 へのアクセスができない。しかし、DSP 1 による処理が行われていない間は、3 バスサイクルが全て空き、そのうちの 1 バスサイクルを、CPU 1 1 1 の外部メモリ 1 0 2 へのアクセスに利用できるようにしている。その詳細は後述する。

【0039】

さらに、この DSP 1 で所望のエフェクトのかけられた波形データは、D/A 変換回路 1 1 6 に入力され、デジタルーアナログ変換され、アンプ 1 1 7 で増幅され、スピーカ 1 1 8 から外部に楽音として放出される。

【0040】

図 2 は、上述のように、DSP 1 の内部回路の概要説明図である。該 DSP 1 には、上述した DSP 演算部 1 4、命令 RAM 1 5 及びデコーダ 1 6 等の通常の構成の他、バス 1 1 0 を介した CPU 1 1 1 と外部メモリ 1 0 2 の間に、判断部 1 1 と、制御部 1 2 と、アドレス・データ切替部 1 3 とが備えられており、外部メモリ 1 0 2 に対する CPU 1 1 1 のメモリアクセスには、これらの構成が関与して、制御されることになる。

【0041】

上記判断部 1 1 は、DSP 1 から外部メモリ 1 0 2 へのアクセスの有無を判断する構成

である。図3(a)は、該判断部11の構成の詳細な説明図である。同図に示すように、判断部11は、デコーダ16からのDSP1のリード命令(R命令)又はライト命令(W命令)が入力されるOR回路と、そのOR回路の出力とCPU111が24ビットモードフラグを参照して送ってくるワード長切替信号とが入力されるAND回路で構成される。これらの出力はCPUメモリアクセス可能状態を示す信号(CpTmE24Acs: 0の時アクセス可、1の時アクセス不可)として出力される。

【0042】

図3(b)は、24ビットモード(=1)又は16ビットモード(=0)の夫々のモードにおいて、DSP1のデコーダ16から出力されるリード命令(R命令)又はライト命令(W命令)により、同判断部11の回路の出力信号(CpTmE24Acs)がどう変化するかを示す説明図である。

【0043】

16ビットモード(=0)時には、3バスサイクルのうち、1バスサイクルが空いているため、固定的にCPU111の外部メモリ102へのアクセスができるようになる。すなわち、上記信号(CpTmE24Acs)は、常に0であり、3バスサイクルの中で1バスサイクルは、CPU111は常に外部メモリ102へのアクセスができる状態になっている。

【0044】

他方24ビットモード(=0)時には、DSP1が処理を行っている(R命令又はW命令がある)間は、通常3バスサイクルに空きがない。そのため、CPU111の外部メモリ102へのアクセスができない。しかし、DSP1による処理が行われていない(図中Nの状態の)間は、3バスサイクルが全て空き、そのうちの1バスサイクルを、CPU111の外部メモリ102へのアクセスに利用できるようになっている。

【0045】

制御部12は、上記判断部11からの信号の有無(CpTmE24Acs=0 or 1)に応じて、CPU111から外部メモリ102へのアクセスの可否を制御する。すなわち、上記信号の有無(CpTmE24Acs)が1の間は、CPU111からの外部メモリ102アクセスにウェイトをかける構成である。

【0046】

図4は、CPU111から外部メモリ102へのアクセスを制御するステートマシン(W命令時の例)を示す状態遷移図である。

【0047】

最初(00)の状態にある制御部12は、何もない外部からの信号の変化がない限り、その状態を維持する(idle)。

【0048】

そして、ライト命令(W命令)がCPU111から出力されると、DSP1の命令受信用レジスタへのライト命令(W命令)の書き込み動作が開始された状態(01)に変化し、書き込み動作の継続中はその状態を維持する(idle)。

【0049】

さらにCPU111からDSP1の命令受信用レジスタへのライト命令(W命令)の書き込み動作が終了すると命令受け付け完了の状態(11)に変化し、その状態を維持することになる(idle)。この間、CPU111からのライト命令(W命令)は、制御部12により、外部メモリ102へのメモリアクセスにつき、ウェイトをかけられていることになる。

【0050】

その後判断部11からの信号の有無(CpTmE24Acs)が0で、後述する図5のCPUと書かれたバスサイクルタイミングになった状態(10)になった時に、初めて後述するアドレス・データ切替部13に指令を出し、CPU111ライト命令(W命令)が有効とされる。その結果、該CPU111からの外部メモリ102へのアドレス指定と、指定されたアドレスへのデータの書込が、アドレス・データ切替部13を介してなされる。そのアドレス指定とデータ書込の状態が維持される(idle)。

【0051】

そしてそのバスサイクルの終了タイミングで、すなわちライト命令（W命令）終了タイミングで、最初の状態（00）に復帰する。尚、リード命令（R命令）の時も、これとほぼ同じである。

【0052】

アドレス・データ切替部13は、上記制御部12の指令により、外部メモリ102へのアドレスやデータを、DSP演算部14とCPU111との間で切り替えて、その入出力を行わせる構成である。

【0053】

この構成には、図2に示すように、制御部12からの上記指令の他に、CPU111が24ビットモードフラグを参照することで出力されるワード切替信号、及び判断部11からの信号（CpTmE24Acs）が入力され、DSP演算部14とCPU111との間でアドレスやデータの切り替えが行われる。図5は、その際のアドレス・データ切替部13におけるバスサイクル切替の状態を示している。

【0054】

本実施例構成では、上述のように、3バスサイクルが最大バスサイクル数であり、3バスサイクルがフルに使用されるようなデータ長が選択がされている場合、即ち、24ビットモードの場合、上記判断部11により、DSP1から外部メモリ102へのアクセスがあると判断されている時は、図5中段に示されるように、24ビットの下位バイトアクセス（L）、中位バイトアクセス（M）及び上位バイトアクセス（H）の3バスサイクルがフルに使用されているため、制御部12からの指令は、CPU111から外部メモリ102へのリード命令（R命令）やライト命令（W命令）にウェイトがかけられることになる。

【0055】

ただし、24ビットモードの場合でも、上記判断部11により、DSP1から外部メモリ102へのアクセスが無い時は、図5の下段に示されるように、3バスサイクルの最後のバスサイクルで、アドレス・データ切替部13は、CPU111から外部メモリ102へのリード命令（R命令）又はライト命令（W命令）が許されることになる。

【0056】

他方、最大バスサイクル（3バスサイクル）数でアクセスするようにデータ長が選択されていない場合、即ち、16ビットモードの場合は、図5の上段に示されるように、16ビットの下位バイトアクセス（L）及び次の上位バイトアクセス（H）の2バスサイクルしか使用されていないため、空いているバスサイクル（3バスサイクル目）を利用して、制御部12からアドレス・データ切替部13に指令が出され、CPU111からの外部メモリ102へのリード命令（R命令）又はライト命令（W命令）が出力され、CPU111が外部メモリ102にアクセスできることになる。

【0057】

ここでは、3バスサイクル目が常に空きバスサイクルとなるため、固定的にCPU111からの外部メモリ102へのアクセスが可能となる。

【0058】

図6は、本実施例の電子鍵盤楽器のメイン処理を示すフローチャートである。このメイン処理ルーチンは電源の投入により起動される。即ち、電源がONにされると、先ず、CPU111、RAM113、各スキャン回路114aや115a、外部メモリ102及びその他のイニシャル処理が行われる（ステップS101）。これらのイニシャル処理では、CPU111やDSP1の内部のハードウェアが初期状態に設定されると共に、RAM113に定義されているレジスタ、カウンタ、フラグ等に初期値が設定される。

【0059】

このイニシャル処理が終了すると、次いで、後述する操作パネル114のパネルスキャン処理が行われる（ステップS102）。

【0060】

そして鍵盤 115 の鍵盤処理 (鍵盤スキャン処理) が行われる (ステップ S103)。
この鍵盤処理では、電子鍵盤楽器の押鍵に応じた押鍵データが作成され、上記した音源 100 に出力される。

【0061】

その後この押鍵データに基づき、音源 100 及び DSP1 が使用されて、発音処理 (及び離鍵に応じた消音処理) が行われる (ステップ S104)。

【0062】

次いで、その他の処理が行われる (ステップ S105)。この処理では、上述した以外の処理、ペダルの ON/OFF 処理、MIDI 処理などが行われる。

【0063】

その後ステップ S102 に戻り、以下ステップ S102 ~ S105 の処理が繰り返される。

【0064】

図 7 は、図 6 のステップ S102 のパネルスキャン処理の手順を示すフローチャートである。

【0065】

まず、操作パネル 114 のパネル操作が行われたことが、パネルスキャン回路 114a のパネルスキャンにより感知され、それらの操作に対応するフラグ処理・レジスタへの書き込み処理がなされる (ステップ S201)。

【0066】

ここでは、上述のように、操作パネル 114 によって、例えば演奏で使用する音色の設定や、出力される楽音に任意のエフェクトの付加を設定できること及び 24 ビットモードに設定できることなどがある。その際、該操作パネル 114 の音色選択により音色設定フラグの設定がなされ、その音色の出力の際付加すべきエフェクトが自動的に選択され、上記エフェクト設定フラグが設定される。これらは一旦 RAM113 上のレジスタへ書き込まれる。

【0067】

次に、CPU111 により、操作パネル 114 上のパネルスイッチの設定状態を一時的に記憶させておく設定記憶スイッチのレジスタの状態が参照され、該スイッチが ON になっているか否かがチェックされる (ステップ S202)。該スイッチが ON の状態であれば (ステップ S203; Y)、CPU111 により、パネルスイッチの設定状態が、RAM113 上のレジスタから、DSP1 が使用する外部メモリ 102 上に設定されたレジスタに、移し替えられるようにしている (ステップ S203)。すなわち、外部メモリ 102 を RAM113 と同じように扱えるように設定されている。これは、後に行われる鍵盤処理や発音処理時に RAM113 の空き容量を増やしておくためである。

【0068】

また CPU111 により、DSP1 が使用する外部メモリ 102 上に設定されたレジスタに一時的に記憶されておいた従前のパネルスイッチの設定状態を復帰させる設定復帰スイッチのレジスタの状態が参照され、該スイッチが ON になっているか否かがチェックされる (ステップ S204)。該スイッチが ON の状態であれば (ステップ S204; Y)、CPU111 により、外部メモリ 102 より、従前のパネルスイッチの設定状態が読み出される (ステップ S205)。

【0069】

そして、同じく CPU111 により、従前のパネルスイッチの設定状態が、RAM113 上に設定されたレジスタに書き込まれる (ステップ S206)。

【0070】

その後その他のスイッチ処理がなされ (ステップ S207)、メインルーチンに復帰する。

【0071】

図 8 は、図 7 のステップ S203 及びステップ S205 の CPU111 による外部メモ

り 102 への書込処理又は読出処理の流れを示すフローチャートである。

【0072】

同図に示すように、最初に、CPU111による外部メモリ102へのデータの読み出しや書込動作の命令が、DSP1で受付可能か否かがチェックされる（ステップS301）。そのような動作がDSP1で受付できない場合とは、上述したように図4のステートマシンが（00）の状態以外にある場合で、DSP1が以前に指示された書き込み又は読み出し命令の実行を終了していない場合である。

【0073】

このチェックで、DSP1でそのような動作の受付ができない場合（ステップS301；N）、ステップS301に戻り、その処理を繰り返す。

【0074】

他方DSP1で、上記のような動作の受付ができるならば（ステップS301；Y）、CPU111はその動作が書込動作か否かで処理を分岐する（ステップS302）。

【0075】

その動作が書込動作であれば（ステップS302；Y）、CPU111から外部メモリ102へ書き込まれるデータとその指定アドレスがDSP1にセットされる（ステップS303）。そして書込み命令がDSP1に指示される（ステップS304）。

【0076】

なおこの後DSP1の内部では、図4のステートマシンの動作が起動され、判断部11の指示するタイミングに、制御部12によりアドレス・データ切替部13に指令が出され、外部メモリ102へデータが書き込まれる。

【0077】

他方上記動作が読込動作であれば（ステップS302；N）、外部メモリ102からCPU111へ読み出されるデータのアドレスがDSP1にセットされる（ステップS305）。そして読み出し命令が指示される（ステップS306）。

【0078】

なおこの後DSP1の内部では、図4に準ずる読込動作のステートマシンの動作が起動され、判断部11の指示するタイミングに、制御部12によりアドレス・データ切替部13に指令が出され、外部メモリ102からDSP1の内部レジスタにデータが読み出される。

【0079】

そしてCPU111は、DSP1がCPU111からの読み出し命令を完了させたか否かをチェックする（CPU111は、DSP1内のステートマシンの状態を確認する、ステップS307）。

【0080】

外部メモリ102からの読み出し動作が完了していなければ（ステップS307；N）、読み出し動作が完了するまで上記チェックを繰り返す。読み出し動作が完了しているならば（ステップS307；Y）、読み出し完了時にDSP1の内部レジスタに一時記憶されているデータを読み出して、読み出し動作を終了する（ステップS308）。

【0081】

上記ステップS304の書込動作又はステップS308の読み出し動作が終了した後は、CPU111により、書き込まれるべき又は読み出しを行うべき次のデータが有るか否かがチェックされる（ステップS309）。

【0082】

そのようなデータがあれば（ステップS309；Y）、ステップS301に復帰して、以上の処理を繰り返す。反対にそのようなデータがなければ（ステップS309；N）、図7の上記ステップS204又はステップS206にリターンする。

【0083】

以上詳述した本実施例構成では、データ長が最大の3バスサイクル数でDSP1による外部メモリ102へのアクセスがフルに使用される、24ビットモードの場合、上記判断

部 11 により、DSP 1 から外部メモリ 102 へのアクセスがあると判断されている時は、3 バスサイクルが DSP 1 によりフルに使用されているため、制御部 12 からの指令は、CPU 111 から外部メモリ 102 へのアクセスにウェイトがかけられることになる。

【0084】

ただし、上記判断部 11 により、DSP 1 から外部メモリ 102 へのアクセスが無い時は、3 バスサイクルの最後のバスサイクルで、アドレス・データ切替部 13 は、CPU 111 から外部メモリ 102 へのアクセスが許されることになる。

【0085】

一方、データ長が 2 バスサイクル数で DSP 1 による外部メモリ 102 へのアクセスが使用される、16 ビットモードの場合、2 バスサイクルしか使用されていないため、空いている 3 バスサイクル目を利用して、制御部 12 からアドレス・データ切替部 13 に指令が出され、CPU 111 からの外部メモリ 102 へのアクセスができることになる。ここでは、3 バスサイクル目が常に空きバスサイクルとなるため、固定的に CPU 111 からの外部メモリ 102 へのアクセスが可能となる。

【0086】

尚、本発明の信号処理装置は、上述の図示例にのみ限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更を加え得ることは勿論である。

【図面の簡単な説明】

【0087】

【図 1】 本発明に係る信号処理装置の構成が用いられた電子鍵盤楽器の回路概略図である。

【図 2】 本発明の信号処理装置に係る DSP 1 の内部回路の概要説明図である。

【図 3】 判断部 11 の構成の詳細な説明図とそれによる信号処理状態を示す説明図である。

【図 4】 CPU 111 から外部メモリ 102 へのアクセスを制御するステートマシンを示す状態遷移図である。

【図 5】 DSP 演算部 14 と CPU 111 との間でアドレスやデータの切り替えが行われる際のアドレス・データ切替部 13 におけるバスサイクル切替の状態を示す説明図である。

【図 6】 本実施例の電子鍵盤楽器のメイン処理を示すフローチャートである。

【図 7】 図 6 のステップ S102 のパネルスキャン処理の手順を示すフローチャートである。

【図 8】 図 7 のステップ S203 及びステップ S205 の CPU 111 による外部メモリ 102 への書込処理又は読出処理の流れを示すフローチャートである。

【符号の説明】

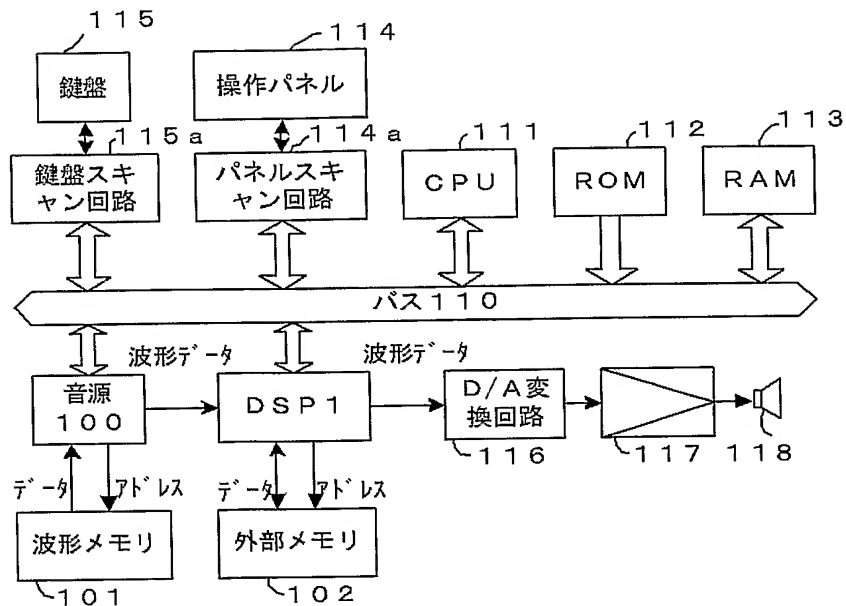
【0088】

1	DSP
11	判断部
12	制御部
13	データ切替部
14	DSP 演算部
15	命令 RAM
16	デコーダ
100	音源
101	波形メモリ
102	外部メモリ
110	システムバス
110	バス
111	CPU
112	ROM

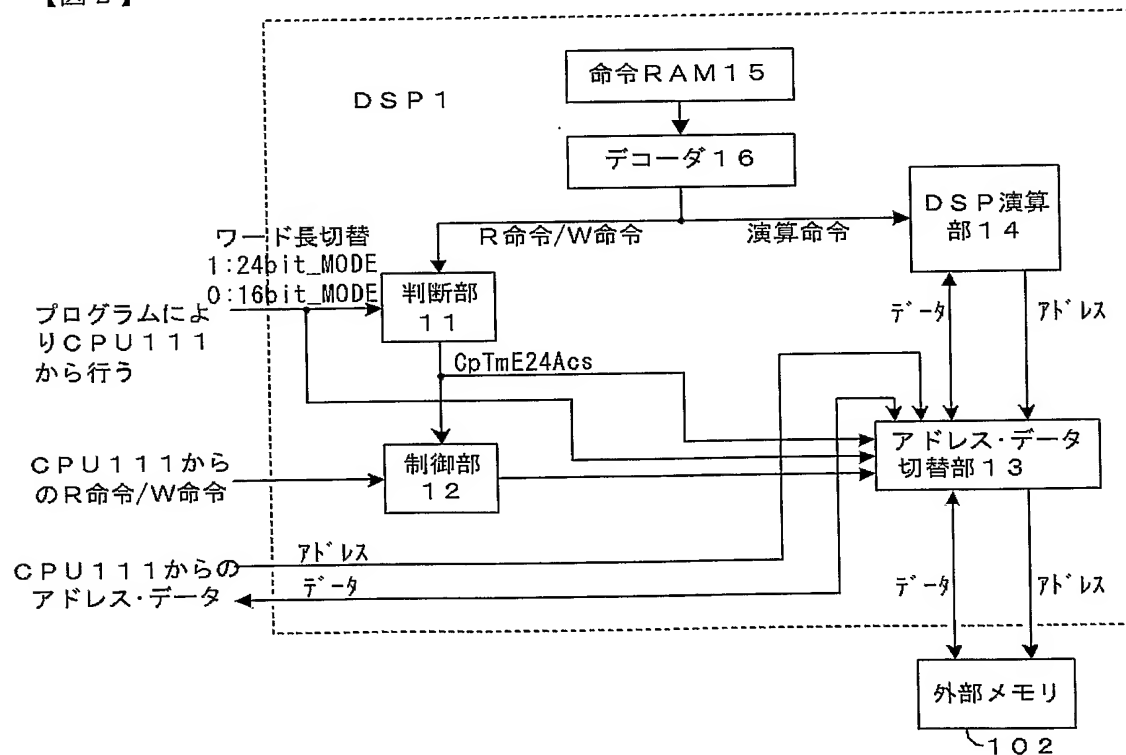
1 1 3	R A M
1 1 4	操作パネル
1 1 4 a	パネルスキャン回路
1 1 5	鍵盤
1 1 5 a	鍵盤スキャン回路
1 1 6	D/A変換回路
1 1 7	アンプ
1 1 8	スピーカ

【書類名】図面

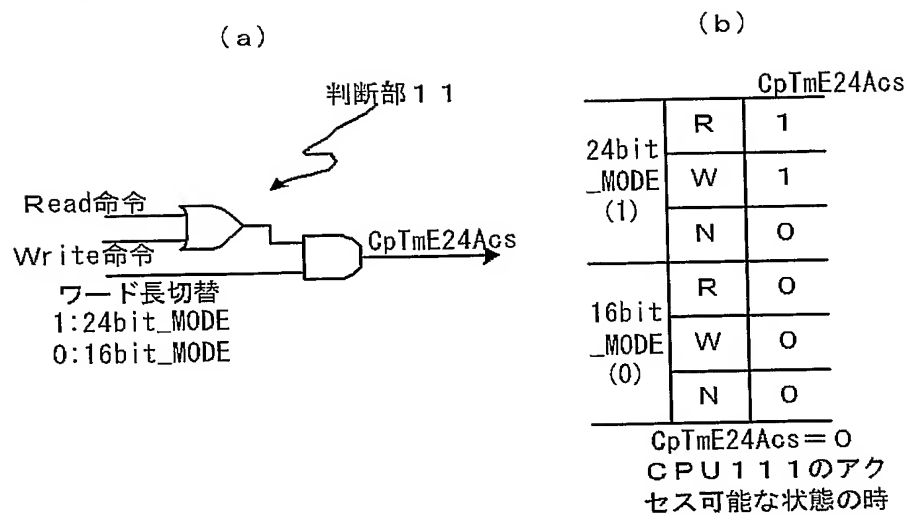
【図 1】



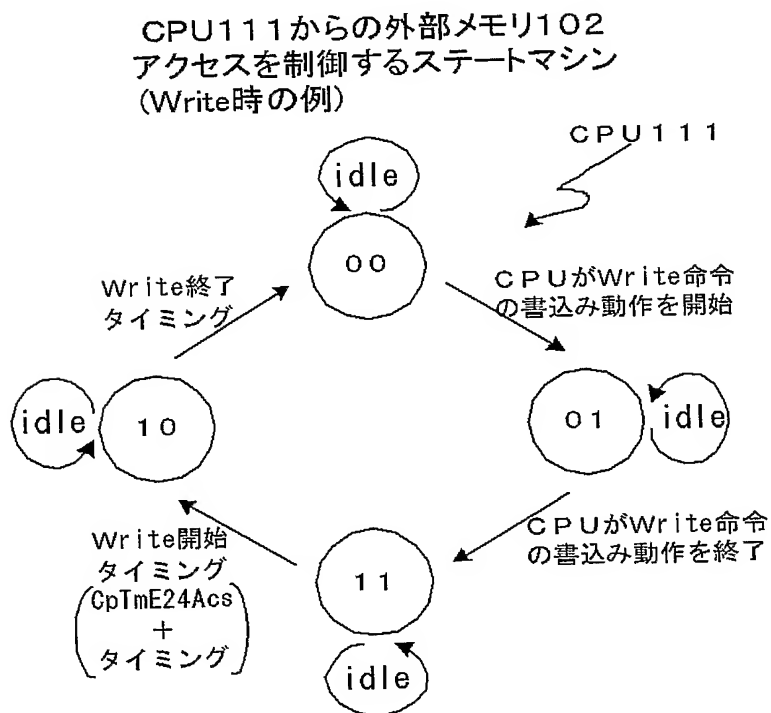
【図 2】



【図 3】

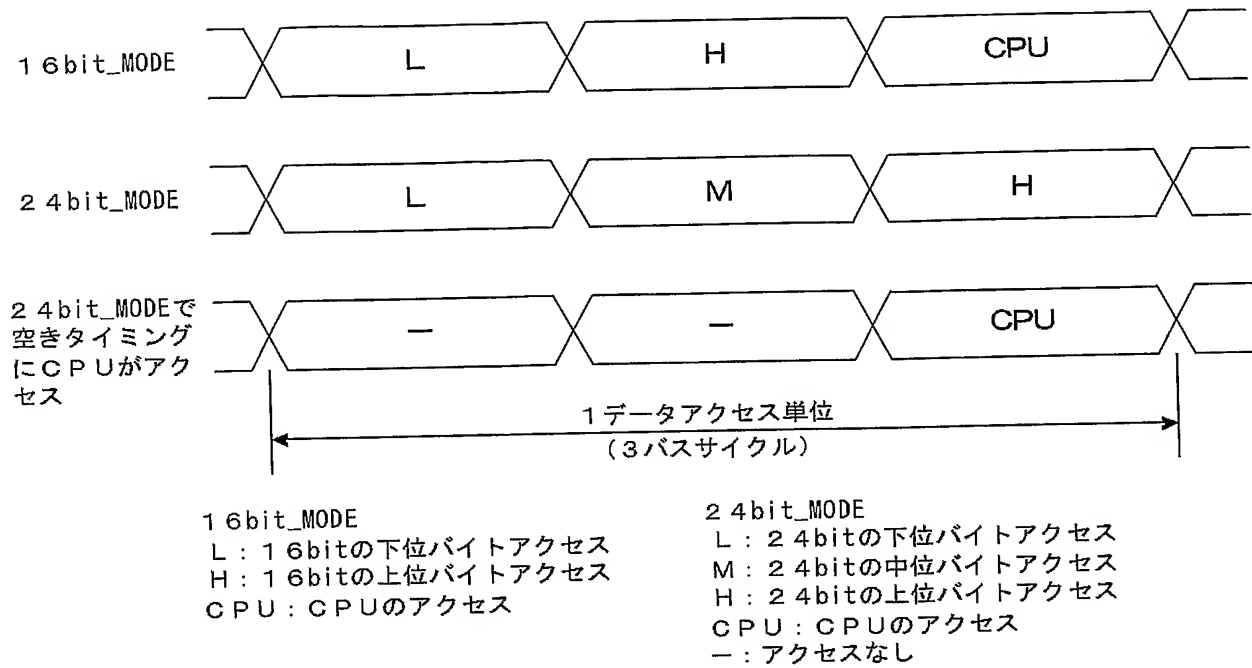


【図 4】

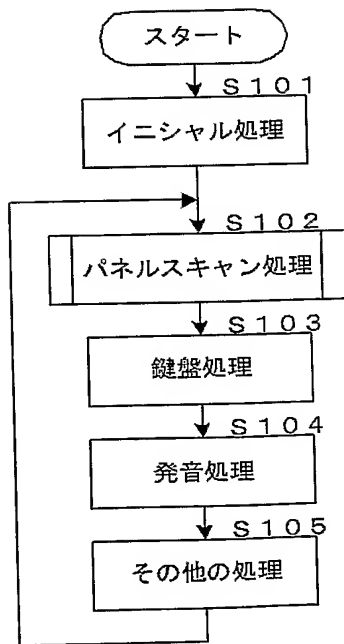


【図 5】

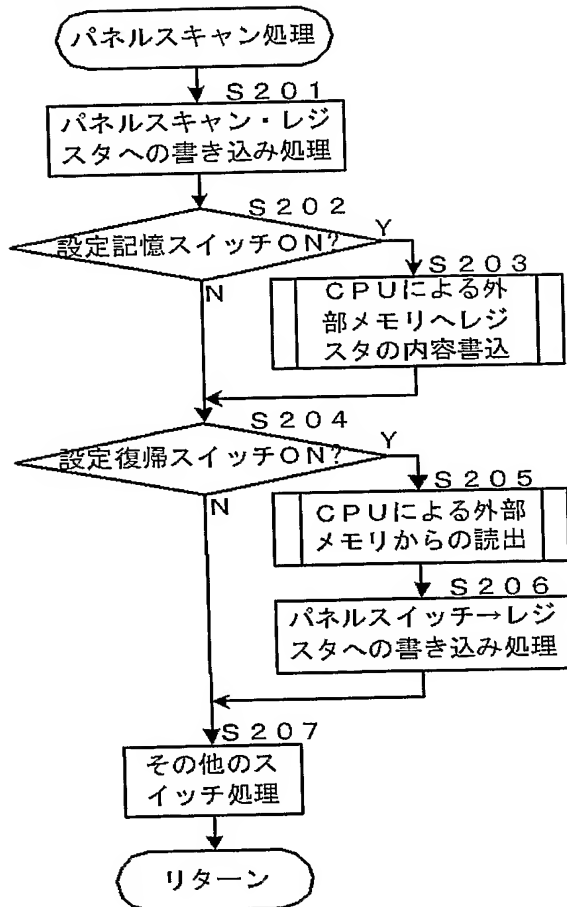
アドレス・データ切替部 13 のバスサイクル切替



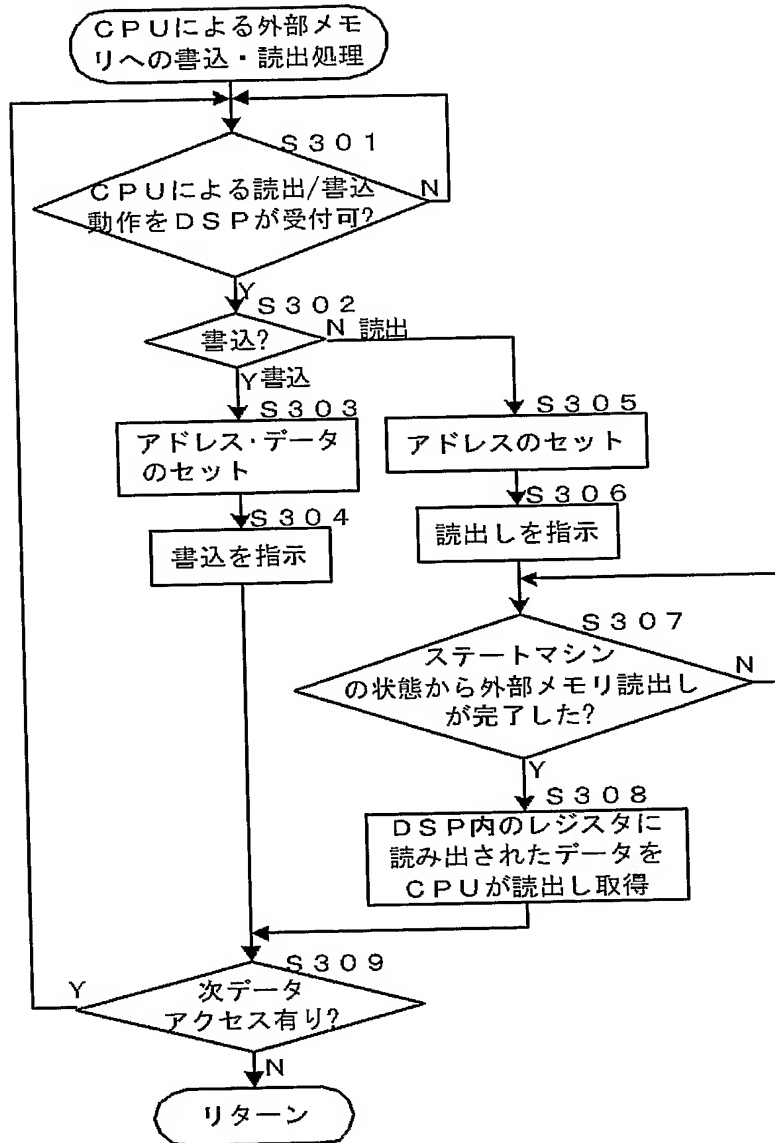
【図 6】



【図 7】



【図 8】



【書類名】要約書

【要約】

【課題】 データ長可変のDSPにおいて、そのデータアクセスの合間に、CPUがその外部メモリにアクセスできる信号処理装置を提供する。

【解決手段】 24ビットモードの場合、上記判断部11により、DSP1から外部メモリ102へのアクセスがあると判断されている時は、制御部12からの指令は、CPU111から外部メモリ102へのアクセスにウェイトがかけられ、また16ビットモードの場合、空いている3バスサイクル目を利用して、制御部12からアドレス・データ切替部13に指令が出され、CPU111からの外部メモリ102へのアクセスができるようになる。

【選択図】

図 2

特願 2 0 0 3 - 4 2 3 9 6 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 4 1 0]

1. 変更年月日

1 9 9 0 年 8 月 1 0 日

[変更理由]

新規登録

住 所

静岡県浜松市寺島町 2 0 0 番地

氏 名

株式会社河合楽器製作所